

一种采用小波变换的实时视频压缩系统

齐 华 李 勇 郝重阳

(西北工业大学电子信息学院,西安 710072)

摘 要 为了对视频图像进行实时有效的压缩,提出了一种基于小波变换的视频实时压缩编码系统。该系统以小波变换技术为核心,首先采用 ADV612 实时压缩编码芯片对视频图像进行硬件压缩编码处理;然后结合高速数字信号处理器—TMS320VC5509 对分辨率为 760×420 和帧速为 25 fps 的视频信号进行了实时压缩编码。实验结果表明,该系统的性能指标达到 512 kbps ~ 1.5 Mbps 的设计要求,并具有实时性高、结构简单和扩展性好等优点。

关键词 小波变换 视频压缩编码 数字信号处理 ADV612

中图法分类号:TP919.81 文献标识码:A 文章编号:1006-8961(2009)08-1578-05

Design of A Real-time Video Compression System Based on Wavelet Transform

QI Hua, LI Yong, HAO Chong-yang

(School of Electronic and Information, Northwestern Polytechnical University, Xi'an 710072)

Abstract The design of a real-time video compression and coding system based on wavelet is put forward for realizing the effective real-time video compression. The key technical point in this system is wavelet transform. Firstly, the device ADV612 is used for real-time hardware video compression and coding, then DSP TMS320VC5509, video data which is 760×420 resolution and 25 frames per system meet 512 kbps ~ 1.5 Mbps and has a number of advantages of high real-time speed, simple system structure and good extensibility.

Keywords wavelet transform, video compression and coding, digital signal processing(DSP),ADV612

1 引 言

在对视频图像信号进行数字化处理过程中,由于数字化后的图像数据量大,给传输和存储均带来很大的困难,所以对图像数据进行压缩十分必要。视频图像数据的记录和传输要比静态图像的处理复杂很多,且高的数据率对记录和传输系统带来了资源、成本、开发周期和系统维护等诸多方面的需求^[1-2]。针对视频图像的处理要求,一些半导体厂商相继开发了基于硬件处理功能的专用芯片,在这些器件内部嵌入了高速信号处理器,不仅可以适应常用的视频图像的压缩编码协议(例如,MPEG-1,

MPEG-2,H.263等),而且结合外部CPU的控制,还可以将压缩获得的数据流通过高速输入输出传输到外部设备,即可以通过信道传输或存储^[3-4]。

本文研制的视频实时编码单元已用于机载视频实时记录系统中,由于系统处理的视频图像来自彩色摄影机视频图像和平视显示器图像(简称平显图像),且这两种图像的内容又有较大不同,因此压缩时,既要求保留视景图像,还要清晰显示平显图像的扫描线、字符等内容。另外,原始图像的分辨率为 720×576 ,帧率为 25 fps。若量化字长为 8 bits,则视频图像的码率将达到 82.9 Mbps。本文设计并实现了一种基于 ADV612 小波变换芯片的视频图像压缩编码系统(以下简称系统),该

收稿日期:2008-01-30;改回日期:2008-04-25

第一作者简介:齐 华(1963 ~),女,教授。2003 年于南京理工大学获机械电子专业硕士学位。主要研究领域为图像处理和软件无线电技术。E-mail:qihua102@163.com

系统能以几种码率对两路视频图像进行实时压缩编码,不仅数据量得到了显著减小,且解码视频图像质量良好。

2 系统的总体设计思想

根据系统的设计要求和与数据记录单元的接口要求,压缩编码单元采用硬件和软件相结合的总体方案,其中专用视频图像压缩编码芯片用于完成对两路视频数字信号的硬件压缩编码,高速数字信号处理器(DSP)用于完成对压缩编码芯片的设置和初始化等控制以及编码数据流的输出。由于采用了专用的硬件芯片来完成最耗时的压缩编码处理,因此可以较好地保证系统的实时性,DSP的可编程性和丰富的高速接口保证了系统的灵活性和高速数据交换能力。经过比较和分析,本系统选择了美国模拟器件公司(ADI)的新一代图像压缩编码芯片 ADV612,该器件是在原来 ADV601 芯片的基础上,改进了部分设计,增加了更多的功能。ADV612 内部采用了基于双正交基小波变换和帧内子带编码的压缩算法,并具有帧内压缩功能,理论上压缩比最高可达 7 500 : 1,是一款性价比较高的硬件图像压缩芯片^[3]。小波变换是一种多分辨率的分析手段,其通过尺度(分辨率)的变化,不仅可以对处理对象进行不同精细程度的描述,而且小波变换的结果(小波系数)可为进一步进行高压缩比编码压缩提供有效的数据基础。

本系统方案选择了硬件与软件相结合的体系结构,其中运算复杂度最高的压缩和编码采用了基于小波变换的图像压缩硬件解决方案,其可以保证压缩数据流能够实时产生和传输^[4-5]。高速数字信号处理器是通过软件编程来完成主控和数据传输任务的。DSP 灵活的高速接口为系统在调试、测试和接口设计方面提供了多种选择方案。图 1 是视频

编码系统的总体组成框图。

在本文提出的系统中设计了 FIFO 接口、高速同步接口和 USB 接口等 3 种接口。其中 FIFO 接口用于传送数据到记录单元;高速同步接口用于传送数据到解码系统;USB 接口用于传送数据到计算机。第 2 和第 3 个接口主要用于独立调试的数据测试。

3 系统硬件设计

根据如图 1 所示的视频编码系统总体方案的设计思路,该系统的硬件设计可以分为视频 A/D 单元、音频 A/D 和编码单元、视频压缩编码单元、DSP 和 FPGA (field programmable gate arrays) 单元、接口单元等几大部分。由于篇幅所限,本文只对主要单元做一介绍。

3.1 视频 A/D 单元设计

根据视频信号的形式和接口要求,系统选择了飞利浦公司的视频 A/D 采样和编码芯片 SAF7113^[6],它可以接收 4 路复合电视信号或 S 端子信号,芯片内嵌了两个 9 bits 的视频模数转换器,其视频输出可支持标准 ITU656-YUV422 和能增强 ITU656 等视频数字信号格式。外部控制器可以通过 I²C 总线对 SAA7113 进行初始化设置和参数编程等控制。

3.2 视频压缩编码单元设计

该单元的核心是围绕视频压缩编码芯片 ADV612 进行设计,ADV612 具有精细的压缩比控制、独立场压缩、8 bits 视频接口支持 CCIR-656 和复合 Philips 格式以及通用的 16 bits 和 32 bits 字长宽度的主机接口(512 级深度的 32 bits 的 FIFO 存储器)等良好的性能。在编码模式下,ADV611/612 可通过视频接口输入数字化视频信号,通过主机接口输出压缩的码流数据。

主控处理器(DSP)通过主机接口访问 ADV612 所有的控制和状态寄存器。ADV612 的主机接口是一个高性能数字接口,通过主机接口 ADV612 可以实时地和主机交换压缩视频数据和控制命令数据,在 ADV612 内部设计了一个 512 × 32 bits 的双向 FIFO 缓冲区,用来向主机传送或接收主机的压缩视频数据。主机接口的最高传送速率可达 132 MHz (132 × 10⁶ Byte/s)。

ADV612 内部可以分成 8 个组成部分,其中 3 个是接口部分,5 个是处理部分。接口部分分别是数字视频 I/O 接口、主机 I/O 接口和外部 DRAM 管

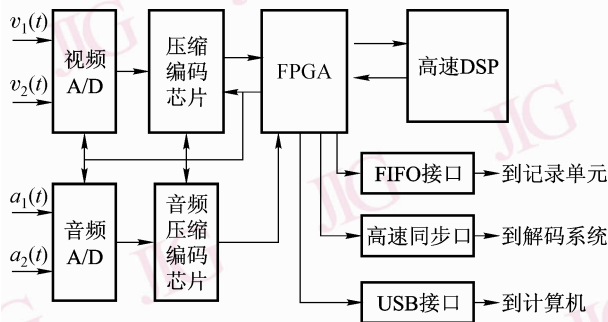


Fig. 1 Video coding system block diagram

理器。处理部分分别是小波核、片内变换缓冲器、可编程量化器、游程编码器和 Huffman 编码器。ADV612 的 DRAM 管理器可以作为一种缓冲器,用于小波内核和可编程量化器之间的子带编码数据的传输。DRAM 管理器用于对 ADV612 提供流水线级

缓冲,其可以支持 ADV612 来完成当前一场图像统计值计算(最小/最大像素值、像素值之和、平方和等)。ADV612 工作时需要外接一个 256K Byte 和 60 ns 速度的 DRAM。图 2 是 ADV612 编码压缩单元的硬件组成示意图。

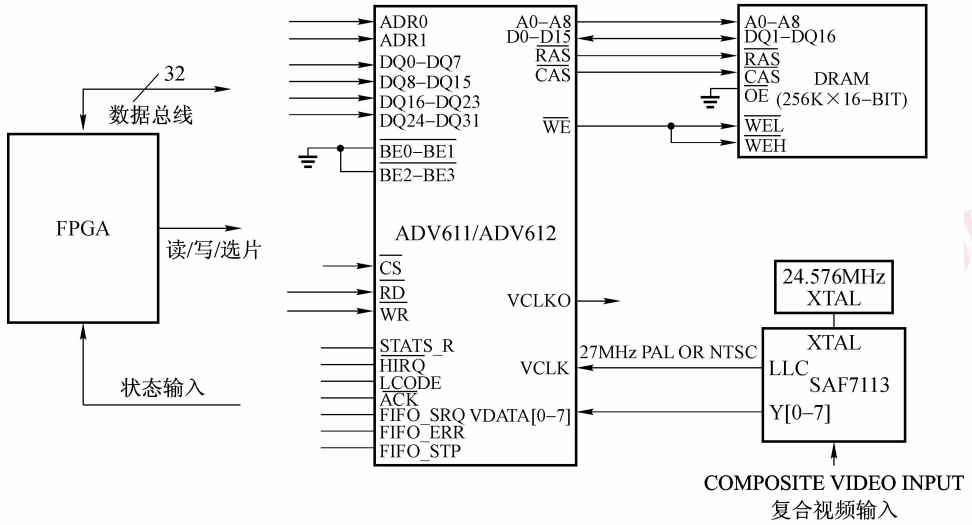


图 2 视频压缩编码单元硬件组成示意图

Fig. 2 Hardware sketch in video compression unit

3.3 FPGA 单元和 DSP 单元设计

FPGA 单元选择了 Xilinx 公司的 XCR3256XL 芯片,该芯片具有 256 个宏单元,包含 6 000 个可用逻辑门,最高工作频率为 154 MHz。DSP 单元采用芯片 TMS320VC5509。这款 DSP 的 I²C 接口和 USB 接口非常适合于本系统的设计要求,它不仅可简

化硬件设计,而且可节省软件开销。为了获得设计的灵活性和可扩展性,DSP 所有的外部控制总线都通过 FPGA 进行外接。在本系统中,除了 DSP 的地址总线接至 FPGA 外,DSP 的数据总线也连接到 FPGA,在 FPGA 内部可以根据编码和解码的实际需要来对数据总线进行切换。图 3 是 DSP 单元的外

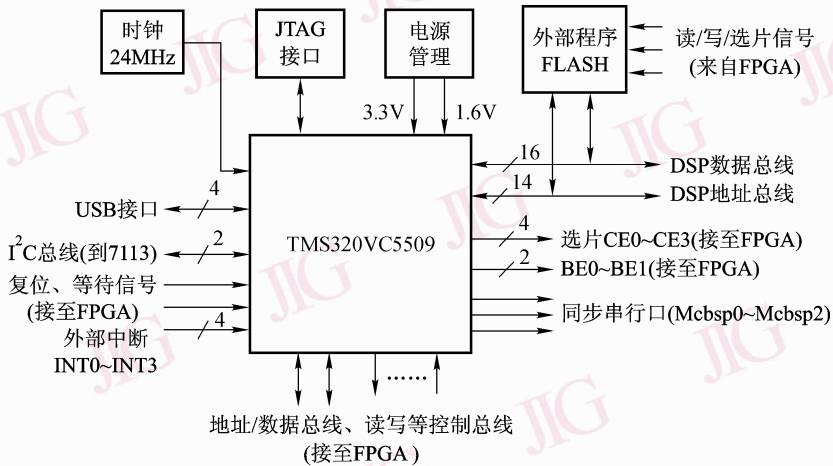


图 3 DSP 单元连接关系示意图

Fig. 3 Relation sketch in DSP unit

部连接关系图。

DSP 单元中涉及的其他设计有程序存储器、电源管理、时钟电路、复位电路和 JTAG 接口等,由于设计简单和篇幅所限,这里不再赘述了。

4 软件设计

从视频编码软件的顶层设计和模块分解的观点入手,可以将软件分为主机硬件初始化设置、视频 A/D 转换器初始化设置、变量初始化、中断事件服

务程序、接口通信处理程序、数据处理程序等多个软件模块。由于处理最繁重的小波变换、熵编码等任务主要依靠 ADV611/612 芯片来完成,因此这在一定程度上降低了对主机软件的实时性要求。主机软件的程序主要采用高级语言进行编程。由于 DSP 具有高达 140 MHz 的主频、指令的并行和流水线操作以及较高效率的 C 编译系统,因此可以较好地支持 C 程序执行的实时性。图 4 是主机软件的程序模块组成结构。

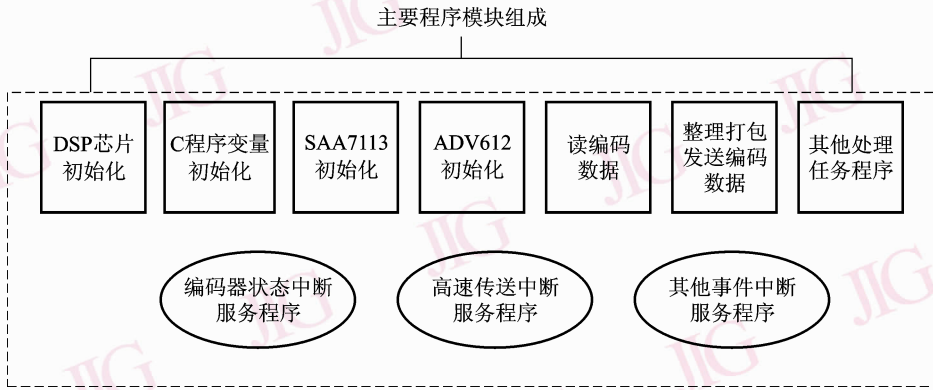


图 4 系统软件主要程序模块构成

Fig. 4 Software programs in system

5 系统测试结果

在进行系统测试时,按照编码器件的使用建议,先做简单的静态测试。在 CCS (code composer

studio)集成调试环境下,变量存储器窗口可以显示奇数场和偶数场的数据内容,并存成文件。数据文件可以用文本编辑工具打开,以查看 ADV612 编码数据流的几帧数据,确认编码系统的工作状态是否正常。图 5 是 ADV612 的奇数场编码数据文件的内容。

奇数场数据头标志 音频数据长度标识

```

000028e0h: FF FF 5F 5F 5F 5F 00 40 D9 00 C3 DA 12 22 62 8B ;
00002900h: 6A 0B AA 4A FA 63 EE 2E AB 72 AF 6B 92 9A A2 8B ;
00002910h: 1B CA 1B DA BA A3 F2 6F AF 42 7B 13 92 5A 43 42 ;
00002920h: 8A A3 4A B2 42 0A 6F C7 4E A6 8A 66 1B CF 87 03 ;
00002930h: 36 BA 6B 7A DF 23 13 B7 C6 C2 FE AB AF AA 4F FF ;
00002940h: CB 32 7B BA 63 03 02 43 63 FF 66 2E DB 02 1B 5A ;
00002950h: 63 3A AE 9E BB 1B 82 8F FA BF 4A CA FF 6E EF 32 ;
00002960h: CB 73 96 7F FF 68 FA 29 7F 3E A8 0A 27 62 AF 37 ;
00002970h: 4A 26 32 BB CF BE A3 E7 CE 6E 6B 3F BE 02 CF CA ;
00002980h: 03 42 4A AE 92 CA 9E 7F BF EA CF 0A 52 AE 02 6B ;
00002990h: E2 CF 7F 1A CA 22 CF 4B D2 5B 5E 0E EB 1B 4F E2 ;
000029a0h: 0A 97 9A 7E B8 A8 F9 A7 D3 4B 7E A7 13 06 A2 A7 ;
000029b0h: BF 7F FE 8E 26 2E 23 8E FF FB 2B 0F 1A DB 3E A6 ;
000029c0h: 4B 3B DB 52 E7 97 9E AE 33 E6 7E FB 8F AB 0A B7 ;
000029d0h: FE 9E B3 0B 42 46 77 67 B6 92 A7 BF C6 0A 87 92 ;
000029e0h: 66 03 6A 3E 6F 87 0F EE BF EE E6 5B 46 A6 13 57 ;
000029f0h: D3 C2 67 5B 46 36 37 2A A8 C7 6F 66 13 9F BB CE ;
00002a00h: 7A 03 06 D2 27 BF 62 53 8F E6 2A 3A 43 6A A6 87 ;
00002a10h: 2F 9E AA E7 3B B6 27 EF EB FB D2 76 CF 27 7A 3A ;
00002a20h: E9 27 48 16 69 D2 96 B7 9F EF 2A 2F C9 C2 C6 03 ;
00002a30h: 18 48 29 A9 36 AF F9 E6 68 A6 7F 4E E6 69 0F FB ;
00002a40h: 8F C3 4E D6 29 37 FB 47 68 FE 9E 48 27 83 0E E7 ;
00002a50h: 7E B6 8B 53 93 4A E9 9B AE 87 AA 1E A9 89 56 E9 ;

```

图 5 奇数场编码数据内容

Fig. 5 Coding data of odd number fields

静态测试完成以后,即可进行视频图像的连续数据码流测试。为了方便测试,作者制作了解码板,并设计了 1:166,1:103,1:83,1:69,1:55 等几种压缩比,分别通过高速同步接口和 USB 接口对编码数据流和编码数据文件进行了实时测试,得到了 500 kbps,800 kbps,1.0 Mbps,1.2 Mbps 和 1.5 Mbps 的压缩编码数据。测试结果表明,在几种不同的码率条件下,不仅编码系统数据正确,且解码视频图像播放流畅。限于篇幅,图 6 和图 7 分别给出了码率等于 1.2 Mbps 和 1.0 Mbps 的视景视频和字符视频的单帧解码图像示意图。



图 6 视景视频单帧解码图像(1.2 Mbps)

Fig. 6 A frame of image of scene video(1.2 Mbps)



图 7 字符视频单帧解码图像(1.0 Mbps)

Fig. 7 A frame of image of text video(1.0 Mbps)

6 结 论

本文讨论了一种基于小波变换的实时视频压缩编码系统的设计与实现,同时描述了系统主要单元的硬件设计和软件设计,并给出了系统的测试结果。测试结果表明,这是一种较好的硬件-软件折中方案,可以完成分辨率为 720×576 、帧速为 25 fps 的视频图像的实时压缩编码,压缩后的数据码率低于 1.5 Mbps,系统的实时性达到了设计要求。

参考文献 (References)

- 1 Hisa S C, Cheng S C, Chen C L. A real-time chip implementation for adaptive video coding control[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2004, 14(8):1098-1104.
- 2 Kiran C, Tomas B, Lin Y T. Real-time object segmentation and coding for selective-quality video communications[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2004, 14(6):813-824.
- 3 Analog Devices Incorporation. Closed Circuit TV Digital Video Codec ADV611/612 Datasheet[M]. Wilmington, MA, USA: Analog Devices Inc., 1999.
- 4 LI Yong. The Study of Real-time Digital Signal Processing and Its Application[D]. Xi'an: Northwestern Polytechnical University, 2006. [李勇. 实时数字信号处理技术及其应用研究[D]. 西安:西北工业大学,2006.]
- 5 Zhao Bao-jun, Shi Cai-cheng, Bi Li, et al. Implementation of real-time 2D-DCT with FPGA and DSP[J]. Acta Electronica Sinica, 2003, 31(9):1317-1319. [赵保军,史彩成,毕莉等. 基于 FPGA 和 DSP 实现的实时图像压缩[J]. 电子学报,2003, 31(9):1317-1319.]
- 6 Philips Semiconductors Product Specification. 9-bit Video Input Processor SAA7113H Datasheet[M]. Amsterdam, Netherland: Philips Semiconductors, 1998.